

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-154934

(43)Date of publication of application : 09.06.1998

(51)Int.Cl.

H03L 7/18
H03L 7/093

(21)Application number : 08-310804

(71)Applicant : FUJITSU LTD

(22)Date of filing : 21.11.1996

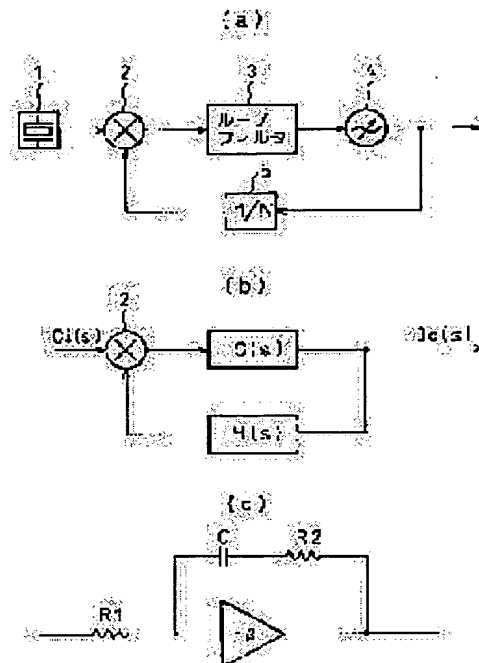
(72)Inventor : SASAKI AKIO
ODA YUTAKA
SUGANO HIROTOSHI
IWATSUKI HAJIME

(54) HIGHLY STABILIZED PLL FREQUENCY SYNTHESIZER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To highly stabilize a frequency synthesizer circuit by controlling the loop constant of a PLL circuit, compensating the nonlinearity of the modulation sensitivity of a voltage controlled oscillator VCO and making a converging characteristic to be always constant loop characteristic.

SOLUTION: Even if the modulation sensitivity K_v of the VCO 4 has an oscillation frequency dependency, other parameters are controlled so as to maintain the values of a damping constant ζ and a peculiar frequency (ω) constant and canceling the deviation of the modulation sensitivity K_v , and the characteristic of PLL is kept constant. Thus, the modulation sensitivity K_v of the VCO 4 is detected from the change of the output voltage of the loop filter 3 in the process of locking the PLL into the target frequency, and then the control quantity of the loop constant in which the peculiar frequency ω and the damping constant ζ is to be ideal values is calculated based on K_v . Based on thus calculated result, the conversion gain of a phase comparator 2 or the capacity components and the resistance components of the loop filter are modulated and controlling the loop constant, so that the PLL frequency synthesizer circuit is highly stabilized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-154934

(43) 公開日 平成10年(1998) 6月9日

(51) Int.Cl.⁶

H 0 3 L 7/18
7/093

識別記号

F I

H 0 3 L 7/18
7/08

Z
E

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願平8-310804
(22) 出願日 平成8年(1996)11月21日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72) 発明者 佐々木 章夫
北海道札幌市中央区北一条西2丁目1番地
富士通北海道デジタル・テクノロジー株
式会社内
(72) 発明者 小田 豊
北海道札幌市中央区北一条西2丁目1番地
富士通北海道デジタル・テクノロジー株
式会社内
(74) 代理人 弁理士 石田 敬 (外3名)

最終頁に続く

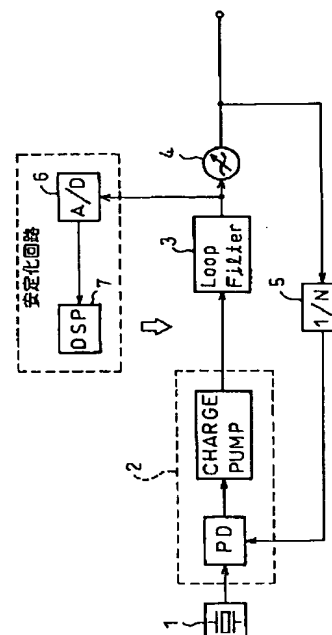
(54) 【発明の名称】 高安定化されたPLL周波数シンセサイザ回路

(57) 【要約】

【課題】 周波数シンセサイザ回路に関し、特に高安定化されたPLL (PhaseLocked Loop) 周波数シンセサイザ回路を提供することを目的とする。

【解決手段】 PLL周波数シンセサイザ回路において、電圧制御発振器の変調感度 K_v の非直線性による周波数収束特性の非一様性を検出し、前記検出値に基づいて前記変調感度 K_v の非直線性を補償すべくPLL回路のループ定数を制御する安定化回路を備える。

VCO変調感度 K_v の検出回路の実施例



【特許請求の範囲】

【請求項1】 基準信号を出力する基準信号源、前記基準信号源からの基準信号と出力信号を分周した分周信号との位相を比較しその差分信号を出力する位相比較器、前記位相比較器からの差分信号と対応する直流電圧を発生するループフィルタ、前記ループフィルタからの直流電圧によって出力信号の発振周波数が制御される電圧制御発振器、そして前記電圧制御発振器からの出力信号を分周してその分周信号を前記位相比較器へ与える分周器、から成るPLL周波数シンセサイザ回路において、前記電圧制御発振器の変調感度 K_v の非直線性による周波数収束特性の非一様性を検出し、前記検出値に基づいて前記変調感度 K_v の非直線性を補償すべくPLL回路のループ定数を制御する安定化回路を備えたことを特徴とするPLL周波数シンセサイザ回路。

【請求項2】 前記安定化回路は、前記ループフィルタからの出力信号をアナログ信号からデジタル信号に変換するアナログ—デジタル変換部、前記アナログ—デジタル変換部からのデジタル信号をデジタル信号処理することによって前記変調感度 K_v の非直線性を検出し、その結果にもとづいて前記PLL回路のループ定数を制御するデジタル信号処理部を含む請求項1記載のPLL周波数シンセサイザ回路。

【請求項3】 前記デジタル信号処理部は、PLL回路の収束過程におけるループ内固有振動 ω_n を、前記アナログ—デジタル変換部によってPLL回路の収束過程における過渡的な応答を高速サンプリングすることによって検出し、それに基づくPLL回路のループ特性解析から対応する前記変調感度 K_v を求め、その結果に従って前記PLL回路のループ定数を制御する請求項2記載のPLL周波数シンセサイザ回路。

【請求項4】 前記デジタル信号処理部は、前記PLL回路のループ特性解析からPLL回路のループ定数である前記位相比較器にける位相比較器変換利得 K_p を求め、それによって前記位相比較器変換利得 K_p と対応する前記位相比較器におけるチャージポンプ回路のバイアス電圧を制御する請求項3記載のPLL周波数シンセサイザ回路。

【請求項5】 前記デジタル信号処理部は、前記PLL

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{G(s)}{1 + G(s)H(s)}$$

【0004】ここで、図1の(a)に示す位相比較器2は位相比較器の変換利得である K_p (V/rad)、ループフィルタ3は伝達関数 $F(s)$ 、そしてVCO4は変調感度 K_v (rad/V)でそれぞれ表現できる。従って、上記式(i)の $G(s)$ 及び $H(s)$ は、各々以下になる。

【数2】

L回路のループ特性解析からPLL回路のループ定数である前記ループフィルタの容量成分 C を求め、それによって前記ループフィルタに設けられた可変容量成分を制御する請求項3記載のPLL周波数シンセサイザ回路。

【請求項6】 前記ループフィルタにおける可変容量成分にバクタダイオードを用いる請求項5記載のPLL周波数シンセサイザ回路。

【請求項7】 前記デジタル信号処理部は、前記PLL回路のループ特性解析からPLL回路のループ定数である前記ループフィルタの抵抗成分 R を求め、それによって前記ループフィルタに設けられた可変抵抗成分を制御する請求項3記載のPLL周波数シンセサイザ回路。

【請求項8】 前記ループフィルタにおける可変抵抗成分に光可変抵抗素子又はビンダイオードを用いる請求項7記載のPLL周波数シンセサイザ回路。

【請求項9】 前記ループフィルタは、アクティブフィルタ又はラグリードフィルタで構成される請求項5～8のいずれか1つに記載のPLL周波数シンセサイザ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は周波数シンセサイザ回路に関し、特に無線基地局等において周波数シンセサイザとして用いられるPLL (Phase Locked Loop) 周波数シンセサイザ回路に関するものである。

【0002】

【従来の技術】図1は、本願発明の対象となるPLL回路の基本構成を示したものである。図1において、図1の(a)はPLL回路のブロック図である。電圧制御発振器(VCO (Voltage Controlled Oscillator)) 4からの発振周波数は分周器5で $1/N$ に分周され、この分周信号と水晶発振器(基準信号源) 1からの基準信号とは位相比較器2で比較される。前記比較による位相比較器2からの差分出力はループフィルタ3で平滑化され、VCO4の発振周波数をフィードバック制御する。

【0003】図1の(b)は、図1の(a)をブロック線図で表したものである。図1の(b)からフィードバックループの開ループゲインは下式(i)で表される。

【数1】

…(i)

$$G(s) = \frac{K_p \cdot F(s) \cdot K_v}{s}, \quad H(s) = \frac{1}{N}$$

【0005】さらに、ループフィルタ3 ($F(s)$) として図1の(c)に示す完全積分2次タイプを使用すると、 $F(s)$ は次のように表わされる。

【数3】

$$F(s) = \frac{sCR_1 + 1}{sCR_1} \quad \dots (ii)$$

【0006】PLL回路もフィードバック制御回路であ

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{G(s)}{1 + G(s)H(s)} = \frac{SNK_vK_pCR_1(SCR_1 + 1)}{s^2NCR_1 + K_pK_v(SCR_1 + 1)}$$

となる。

【数5】

【0007】ここで、

$$\zeta = \frac{R_1C}{2} \sqrt{\frac{K_pK_v}{NCR_1}}, \quad \omega_n = \sqrt{\frac{K_pK_v}{NCR_1}} \quad \dots (iii)$$

と置く。前記 ω_n は固有周波数、そして ζ はダンピング定数であり、共に引込み時間や定常状態等を知る上での重要な要素となる。

【0008】式(iii)を用いると、

【数6】

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{2\zeta\omega_n s + \zeta^2}{s^2 + 2\zeta\omega_n s + \zeta^2} \quad \dots (iv)$$

となる。

【0009】図2は、PLL回路の位相雑音特性を示したものである。PLL回路は、ループの帯域内では低域通過フィルタ(LPF)として働き、そしてVCOの雑音に対しては高域通過フィルタ(HPF)として働く。図2の(a)及び(b)には、ループ帯域内雑音とVC

O雑音とをそれぞれ示している。また、図2の(c)にはそれらが入れ替わるオフセット周波数 f_c を示している。前記オフセット周波数 f_c は、下式(v)で表される。

【0010】

【数7】

$$f_c = \frac{\omega_n}{2\pi} (b + \sqrt{b^2 + 1})^{1/2} \text{ (Hz)} \quad \dots (v)$$

$$b = \left[2\zeta^2 + 1 - \frac{\omega_n}{K_pK_v} \left(4\zeta \frac{\omega_n}{K_pK_v} \right) \right]$$

【0011】PLL回路の動作の安定性は、ボード線図を使って判断することができる。すなわち、安定動作を行うためにはループゲインが0dBの時に位相が -180° 以内であり、反対に位相が -180° 時にループゲインが0dB以下であることが要求される。PLL回路の最良値は、ダンピング定数 ζ が0.6~0.7であって、且つオフセット周波数 f_c がループ帯域内雑音とVCO雑音の交点に設定された時に安定性引込み時間や位相雑音形状等の最良バランスが得られる。但し、これらはあくまでも理論値であって、実際にはさらに幾つかの点を考慮して設計する必要がある。

【0012】PLL回路を使って出力周波数が可変するシンセサイザを構成する場合、その出力周波数の変更は、図1の(a)で示した分周器5の分周量(1/N)を変えることにより行う。図1の(a)において水晶発振器1の発振周波数を f_{ref} とすると、シンセサイザとしての出力周波数 f_o は以下ようになる。

$$f_o = N \cdot f_{ref} \quad \dots (vi)$$

このように、シンセサイザの出力周波数は分周器5の分周量によって決定される。

【0013】図3は、VCOの制御電圧—出力周波数特性を示したものである。図3の(a)は、VCOの制御電圧とその出力周波数が互いにリニアに変化する理想的な場合を示している。それに対して、図3の(b)には現実のVCOの制御電圧—出力周波数特性例が示されている。このように、VCOは制御電圧量によって出力周波数を変化させ、シンセサイザとして使うとVCO出力周波数を上げた場合にはVCO制御電圧が上がった位置で周波数がロックされ、反対に出力周波数を下げた場合にはVCO制御電圧が下がった位置で周波数がロックされる。図3の(a)に示すようにVCOの制御電圧—出力周波数特性がリニアな場合には変調感度 K_v (Hz/V)は定数となり、VCOの制御電圧量に係わらず(ii)式(1)の固有周波数 ω_n 、ダンピング定数 ζ の定数は $1/\sqrt{N}$ に大きく依存し、前記変調感度 K_v による固有周波数 ω_n 、ダンピング定数 ζ の変化量は、少ない。

【0014】

【発明が解決しようとする課題】しかしながら、実際には図3の(b)に示すようにVCOの制御電圧によって変調感度 K_v が変わることになる。VCOの変調感度 K_v が変わる場合には、式(iii)より固有周波数 ω_0 、ダンピング定数 ζ も変わる。そのため、図3の(b)に示す低い側の制御電圧 x Vで周波数がロックされた場合には、変調感度 K_v が大となってダンピング定数 ζ 、固有周波数 ω_0 が共に増加するため引込み時間と安定性は増すが、位相雑音は図3の(a)に示す理想特性と比べると増加するという問題があった。

【0015】また、図3の(b)に示す高い側の制御電圧 y Vで周波数がロックされた場合には、VCOの変調感度 K_v が小となってダンピング定数 ζ 、固有周波数 ω_0 が減少するため引込み時間が遅くなり、そしてダンピング定数 ζ が減少することによって安定性が低下するという問題があった。この場合には位相雑音にオーバーシュートが現れ、最悪PLL回路は収束せずに発振してしまうという問題もあった。

【0016】図4は、VCO変調感度一位相雑音特性の一例を示したものである。図4の(a)は、図3の(a)の理想特性に対応し、また図4の(b)は図3の(b)に示す制御電圧 x Vの変調感度 K_v が増加した場合、そして図4の(c)は図3の(b)に示す制御電圧 y Vの変調感度 K_v が減少した場合をそれぞれ示している。上述したように、図4の(b)では変調感度 K_v の増加と共に位相雑音が増加し、また、図4(c)では変調感度 K_v の減少と共にオーバーシュートが現れてる。このようなオーバーシュートを防ぐには、通常ダンピング定数 ζ を増やすなどして安定化のための設計がなされる。

【0017】そこで本発明の目的は、上記各問題点に鑑み、前記VCOの変調感度 K_v 特性の非直線性を補償することで、周波数シンセサイザにおける発振周波数内の全ての周波数において一様な周波数収束特性及び安定性を実現し、ループ内雑音を最適化した周波数シンセサイザを提供することを目的とする。

【0018】

【課題を解決するための手段】本発明によれば、基準信号を出力する基準信号源、前記基準信号源からの基準信号と出力信号を分周した分周信号との位相を比較しその差分信号を出力する位相比較器、前記位相比較器からの差分信号と対応する直流電圧を発生するループフィルタ、前記ループフィルタからの直流電圧によって出力信号の発振周波数が制御される電圧制御発振器、そして前記電圧制御発振器からの出力信号を分周してその分周信号を前記位相比較器へ与える分周器、から成るPLL周波数シンセサイザ回路において、前記電圧制御発振器の

変調感度 K_v の非直線性による周波数収束特性の非一様性を検出し、前記検出値に基づいて前記変調感度 K_v の非直線性を補償すべくPLL回路のループ定数を制御する安定化回路を備えたPLL周波数シンセサイザ回路が提供される。

【0019】前記安定化回路は、前記ループフィルタからの出力信号をアナログ信号からデジタル信号に変換するアナログーデジタル変換部、前記アナログーデジタル変換部からのデジタル信号をデジタル信号処理することによって前記変調感度 K_v の非直線性を検出し、その結果にもとづいて前記PLL回路のループ定数を制御するデジタル信号処理部を含む。

【0020】前記デジタル信号処理部は、PLL回路の収束過程におけるループ内固有振動 ω_0 を、前記アナログーデジタル変換部によってPLL回路の収束過程における過渡的な応答を高速サンプリングすることによって検出し、それに基づくPLL回路のループ特性解析から対応する前記変調感度 K_v を求め、その結果に従って前記PLL回路のループ定数を制御する。

【0021】そして、前記デジタル信号処理部は、前記PLL回路のループ特性解析からPLL回路のループ定数である前記位相比較器にける位相比較器変換利得 K_p を求め、それによって前記位相比較器変換利得 K_p と対応する前記位相比較器におけるチャージポンプ回路のバイアス電圧を制御する。また、前記デジタル信号処理部は、前記PLL回路のループ特性解析からPLL回路のループ定数である前記ループフィルタの容量成分 C 又は抵抗成分 R を求め、それによって前記ループフィルタに設けられた可変容量成分又は可変抵抗成分を制御する。

【0022】

【発明の実施の形態】本願発明の基本概念は、VCOの変調感度 K_v が発振周波依存性を有していてもダンピング定数 ζ 、固有周波数 ω_0 の値を一定に保つことが出来ればロックさせる周波数に関係なくPLLの特性を一定に保つことが出来ため、変調感度 K_v の偏差が相殺されるように他のパラメータを変えることにある。ダンピング定数 ζ 、固有周波数 ω_0 を与える式は図1の(a)に示すループフィルタ3の回路形式によって異なるが、ここではよく使用される図1の(c)で示したアクティブフィルタと図5に示すラグリードフィルタについて次に示す。

【0023】図5のラグリードフィルタのダンピング定数 ζ 、固有周波数 ω_0 は下式(vii)となる。なお、アクティブフィルタのダンピング定数 ζ 、固有周波数 ω_0 についてはすでに式(iii)で示しているが、ここでは比較のため改めて下記に示している。

【数8】

$$\zeta = \frac{R_2 C}{2} \sqrt{\frac{K_p K_v}{N C R_1}} \quad \omega_n = \sqrt{\frac{K_p K_v}{N C R_1}} \quad \dots(iii)$$

$$\zeta = \frac{\sqrt{\omega_n}}{2} \left(C R_2 + \frac{N}{K_p K_v} \right) \quad \omega_n = \frac{K_p K_v}{C (R_1 + R_2) N} \quad \dots(vii)$$

【0024】前記(iii) 及び(vii) 式において、分周数Nはロックする周波数を決定する値であるから自由に変えることは出来ない。従って、残されたパラメータK_p、C、R₁、R₂、を適宜変化させることで固有周波数 ω_n 、ダンピング定数 ζ を一定に保つ。本願発明におけるループの制御は、(1) VCO変調感度K_vの検出、そして(2) 前記パラメータ(ループ定数)の制御の2つのプロセスを経て実行される。以下、本願発明により変調感度K_v以外のループ定数(K_p、C、R₁、R₂)を変化させてループを制御し、固有周波数 ω_n 、ダンピング定数 ζ を一定に保つ、若しくはそれらの変化量を押さえる方法について説明する。

【0025】(1) VCO変調感度K_vの検出

変調感度K_vは、PLLが目的の周波数にロックする過

$$K_v = 2\pi \left| \frac{f_1 - f_0}{V_{c1} - V_{c0}} \right|$$

... (vii)

【0027】もう1つの方法として固有周波数 ω_n を直接測定する方法がある。すなわち、PLLが目的の周波数f₀にロックするとき、ループは固有周波数 ω_n で減衰振動しながら収束していく。図6は、前記ループ収束特性の一例を示したものである。この振動周波数を直接測定すれば固有周波数 ω_n が得られる。実際には、PLLが周波数f₀にロックする時のループフィルタ出力電圧の過渡応答をA/Dコンバータで高速サンプリングし、DSPで演算処理を行う。固有周波数 ω_n が判れば式(iii) 又は式(vii) から逆算して変調感度K_vを知ることが出来る。

【0028】図7は、VCO変調感度K_vの検出回路の一実施例を示している。図7において、先に説明した図1の(a)と同様のものについては同一の符号を付している。なお、図1の(a)の位相比較器2は、図7において位相検出部(PD)とチャージポンプ部(CHARGE PUMP)から成っている。図7では、図1の(a)にアナログディジタル変換器(A/D)6及びディジタルシグナルプロセッサ部(DSP)7がさらに付加されている。ループフィルタ(Loop Filter)3からの出力電圧は、A/D変換器6によってサンプリングされ、そしてDSP部7へ送られる。DSP部7は上記2つのいずれ

程のループフィルタ3(図1)の出力電圧の変化から検出する。検出のアルゴリズムには次の2つがある。図3の(b)の例からも分かるように、その1つは現在ロックしている周波数をf₁、目的の周波数をf₀とする。もしf₀とf₁の差が小さければ、f₁でロックしている時のVCO制御電圧(ループフィルタ出力電圧)を測定し、得られた値をV_{c1}とする。次に、f₀にロックした後でVCO制御電圧同様の方法で測定したV_{c0}を得る。この時、変調感度K_vは下式(viii)で与えられる。なお、f₁とf₀の差が大きいときは一旦f₀に近い周波数にロックさせてから検出作業を行う。

【0026】

【数9】

かの方法により変調感度K_v又は固有周波数 ω_n 、ダンピング定数 ζ を計算する。

【0029】(2) ループ定数の制御

上述したように変調感度K_vが判ると、固有周波数 ω_n 、ダンピング定数 ζ が理想値となるようなループ定数の制御量が計算される。その計算結果を基に各ループ定数の制御を行うことでPLLの特性は一定に保たれる。以下、(2-1)位相比較器変換利得、そして(2-3)抵抗Rを制御する場合、のそれぞれについて実施例を用いて説明する。

【0030】(2-1) 位相比較器変換利得K_pを制御する場合

図8は、チャージポンプを接続した位相比較器の特性を示したものである。K_pは位相比較器の変換利得であり、図6に示す位相比較器の出力電圧振幅から下式(ix)によって定められる。

【数10】

$$K_p = \frac{1}{2} \frac{V_H - V_L}{2\pi} \quad \dots(ix)$$

式(ix)から位相比較器変換利得K_pを変化させるためには高出力電圧V_H又は低出力電圧V_Lの値のいずれか一方又はその両者を制御すればよい。但し、前記V_H、

V_L の値はロック時のVCO変調端子に入力される電圧に対して十分なマージンを持つ必要があるため、ロックする周波数と制御のかけ方については注意が必要である。

【0031】図9は、位相比較器変換利得 K_p を変化させる一例を示したものである。図9の(a)は高出力電圧 V_H を変化させる場合、図9の(b)は低出力電圧 V_L を変化させる場合、そして図9の(c)はその両者 V_H 、 V_L を同時に変化させる場合をそれぞれ示している。これらによって、上記式(ix)の $(V_H - V)$ の値が変化し、その結果位相比較器変換利得 K_p が変化する。なお、図9の(a)は、VCO変調端子に入力される電圧の最大値が減少するのと同じであるためロック時の周波数が低い場合に有効となる。また、図9の(b)はそれとは逆にロック時の周波数が高い場合に有効である。そして、図9の(c)は前二者と比べて全周波数帯域での制御が可能となる特徴を有している。

【0032】図10～12は、図9の(a)～(c)の各実施例に対応している。図10は、高出力電圧 V_H を変化させる実施例を示している。図10の(a)では図7の実施例に対して新たにデジタルアナログ変換器(D/A)8及びバッファ増幅器(Buffer)9を付加している。DSP部7は変調感度 K_p が最適になるような V_H を計算し、D/A変換器8にそのデータを送る。D/A変換器8からの高出力電圧 V_H はバッファ増幅器9を介してチャージポンプ部に与えられる(図10の(b))。

【0033】図11は、低出力電圧 V_L を変化させる実施例を示している。図11の(a)は、図10の(a)と同じ回路が使用されており、ただDSP部7が変調感度 K_p が最適になるような低出力電圧 V_L を計算し、そして新たに付加されたデジタルアナログ変換器(D/A)11及びバッファ増幅器(Buffer)10を介して前記低出力電圧 V_L がチャージポンプ部に与えられる点と異なるだけである(図11の(b))。

【0034】図12は、さらに高出力電圧 V_H と低出力電圧 V_L の両方を変化させる実施例を示したものである。図12の(a)及び(b)の回路構成から明らかなように図10と図11の両者を組み合わせたものとなっている。本実施例ではDSP部7は式(ix)から K_p が最適になるような $(V_H - V)$ を計算して高出力電圧 V_H 及び低出力電圧 V_L のそれぞれの値を決定する。それ以外は、図10及び図11と同様である。

【0035】(2-2)容量Cの値を制御する場合
図13及び図14は、ループフィルタに図5で示したラグリードフィルタを用いる場合を示しており、図13ではその容量Cに直列にバラクタダイオードを接続し、また図14では並列にバラクタダイオードを接続した実施例を示している。なお、ループフィルタは直流電圧動作をしているため、信号ラインに直列にコンデンサが挿入される

アクティブフィルタではこの方法は使えない。

【0036】図13及び図14において、バラクタダイオード17はバイアス抵抗18を介して流れるバイアス電流によって変化する可変容量 C_v として機能する。図13における直列接続の合成容量 C_t は、 $C_t = CC_v / (C + C_v)$ となる。ここで、バイアス抵抗18は、バイアス回路系とループフィルタとのアイソレーションを取るために数100k～数M Ω の値にする。バラクタダイオードの逆バイアス時の抵抗値は数100M～数G Ω に達するのでバイアス抵抗による電圧降下はほとんど生じること無くバイアスをかけることが出来る。

【0037】また、図14における並列接続では、直流カットのための容量値 C'_{19} を考慮すると合成容量 C_t は、 $C_t = C + C'_{19} C_v / (C'_{19} + C_v)$ となる。また、バイアス抵抗18には数100M～数G Ω の高抵抗が使用される。図13及び図14のいずれの場合もDSP部7は変調感度 K_p が最適になるような容量値を固有周波数 ω_n 及びダンピング定数 ζ を与える式(vii)に基づいて計算し、前記 C_t がその値となるようにデジタルアナログ変換器(D/A)12及びバッファ増幅器(Buffer)13を介して前記バイアス電流を流すのに必要な電圧を与える。

【0038】(2-3)抵抗Rの値を制御する場合
図15～図17も、ループフィルタに図5で示したラグリードフィルタを用いた実施例を示している。図15では抵抗 R_1 を、そして図16及び図17では抵抗 R_2 をそれぞれ可変している。本実施例では、式(vii)を用いて抵抗 R_1 又は R_2 の値を変えることによって変調感度 K_v の変化を補償し、固有周波数 ω_n 及びダンピング定数 ζ を一定に保つ。

【0039】図15において、ループフィルタ部を通る信号は直流電圧なので抵抗(R_1)14に電圧或いは電流で制御する素子を用いることは出来ない。そこで、抵抗14に光で抵抗値が変化する素子(CdSセル等)を用いる。DSP部7は抵抗 R_1 14の最適値 R_s が得られると、受光素子が R_s となるような光量を発光素子が発光するためのバイアス量を計算し、デジタルアナログ変換器(D/A)12にデータを入力する。D/A変換機12はバッファ増幅器13を通して前記発光素子のバイアス電圧を発生させる。

【0040】図16では、上記と同様な方法で抵抗 R_2 を制御している。また、図7では容量Cの配置を変えることによって抵抗 R_2 の一端を接地可能とし、その結果電圧或いは電流で制御する素子(ピンダイオード等)が使用可能のように構成している。DSP部7は、抵抗 R_2 の最適値 R_p が得られるとピンダイオードの抵抗値が R_p となるようなバイアス量を計算し、デジタルアナログ変換器(D/A)12にデータを入力する。バイアス抵抗21はループフィルタの特性に影響を与えないような高い値(数10k～数100k Ω)にしている。

【0041】

【発明の効果】以上述べたように、本発明によればVCOの変調感度特性の非直線性によって生じるPLLシンセサイザ回路の周波数収束特性の非一様性を、常に一定のループ特性を保つように制御することが可能となり安定した収束特性を得ることができる。さらに、ループ内雑音特性も発振周波数内のすべての状態において最適な特性を維持することが可能となる。

【図面の簡単な説明】

【図1】本願発明の対象となるPLL回路の基本構成を示した図である。

【図2】PLL回路の位相雑音特性を示した図である。

【図3】VCOの制御電圧—出力周波数特性を示した図である。

【図4】VCO変調感度一位相雑音特性の一例を示したものである。

【図5】ラグリードフィルタの回路図である。

【図6】ループ収束特性の一例を示した図である。

【図7】VCO変調感度 K_v の検出回路の一実施例を示した図である。

【図8】チャージポンプを接続した位相比較器の特性例を示した図である。

【図9】位相比較器変換利得 K_p を変化させる例を示した図である。

【図10】図9の高出力電圧 V_H を変化させる実施例を

示した図である。

【図11】図9の低出力電圧 V_L を変化させる実施例を示した図である。

【図12】図9の高出力電圧 V_H 及び低出力電圧 V_L を変化させる実施例を示した図である。

【図13】ラグリードフィルタの容量に直列にバラクタダイドを接続した実施例を示した図である。

【図14】ラグリードフィルタの容量に並列にバラクタダイドを接続した実施例を示した図である。

【図15】受光素子を用いてラグリードフィルタの第1の抵抗を可変とする実施例を示した図である。

【図16】光素子を用いてラグリードフィルタの第2の抵抗を可変とする実施例を示した図である。

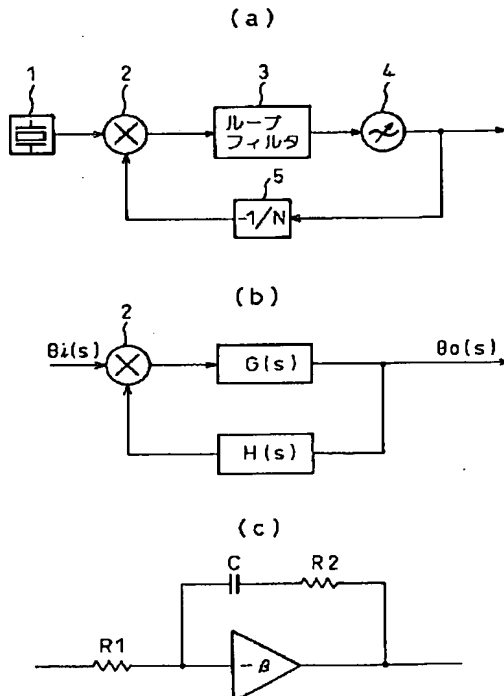
【図17】ピンダイオードを用いてラグリードフィルタの第2の抵抗を可変とする実施例を示した図である。

【符号の説明】

- 1…水晶発振器
- 2…位相比較器
- 3…ループフィルタ
- 4…電圧制御発振器
- 5…分周器
- 6…アナログ—デジタル変換器
- 7…デジタルシグナルプロセッサ
- 8, 11, 12…デジタル—アナログ変換器
- 9, 10, 13…バッファ増幅器

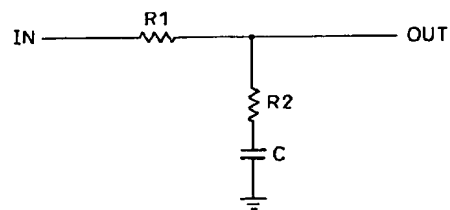
【図1】

PLL回路の基本構成



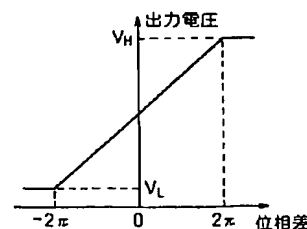
【図5】

ラグリードフィルタ回路

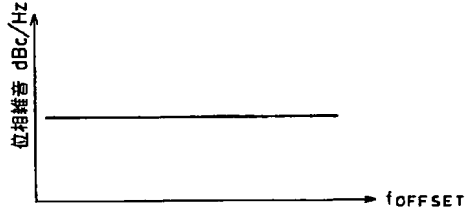


【図8】

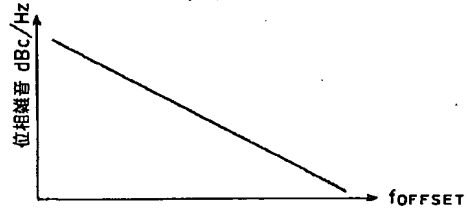
チャージポンプを接続した位相比較器の特性例



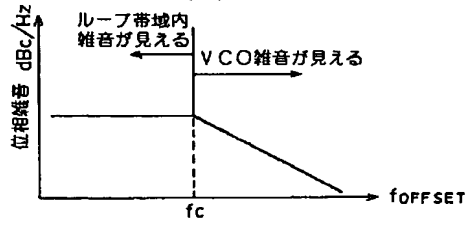
【図2】

PLL回路の位相雑音特性例
(a)

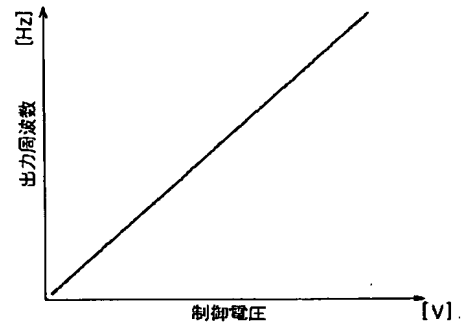
(b)



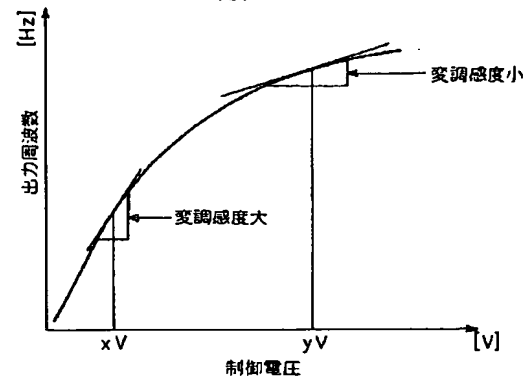
(c)



【図3】

VCOの制御電圧-出力周波数特性例
(a)

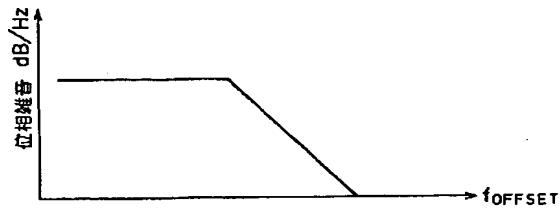
(b)



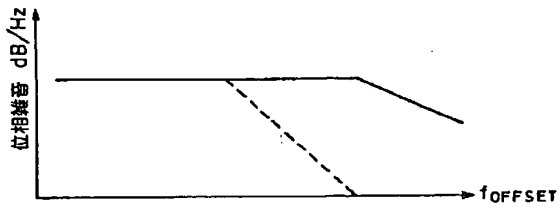
【図4】

VCO変調感度による位相雑音特性の変化の一例

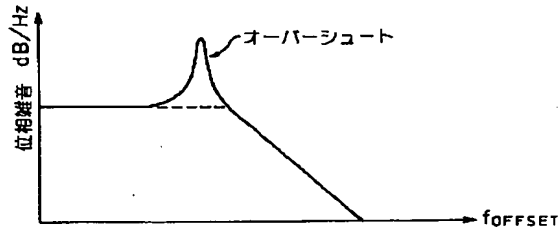
(a) 理想特性



(b) VCO変調感度が増加した場合

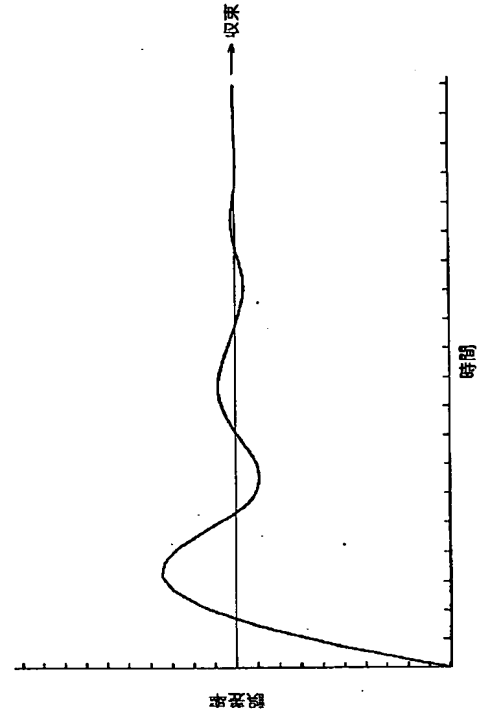


(c) VCO変調感度が減少した場合

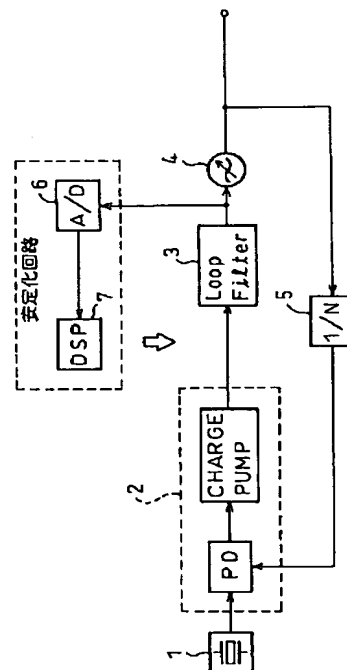


【図6】

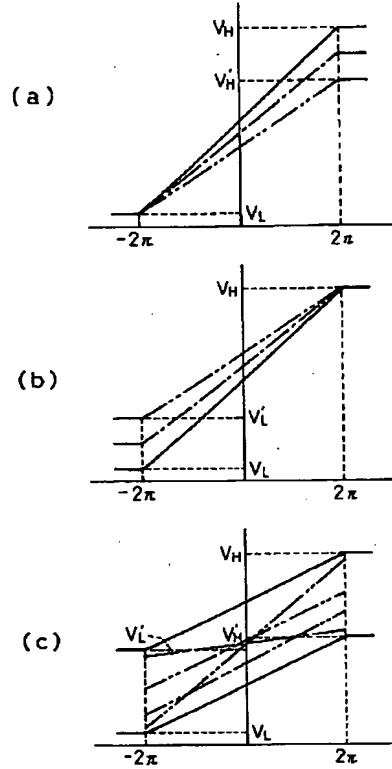
ループ収束特性の一例



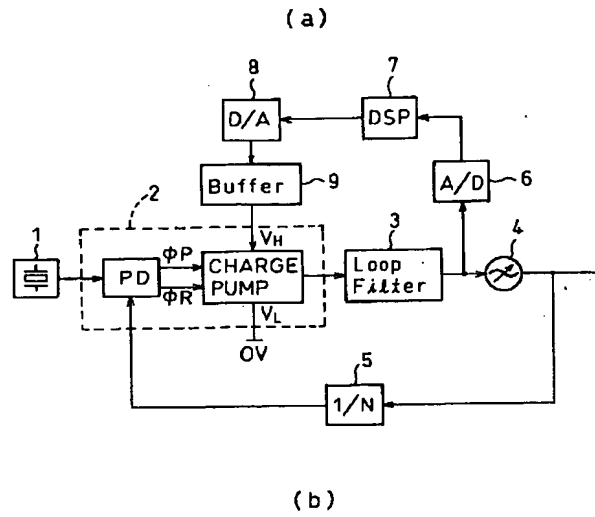
【図7】

VCO変調感度 K_v の検出回路の実施例

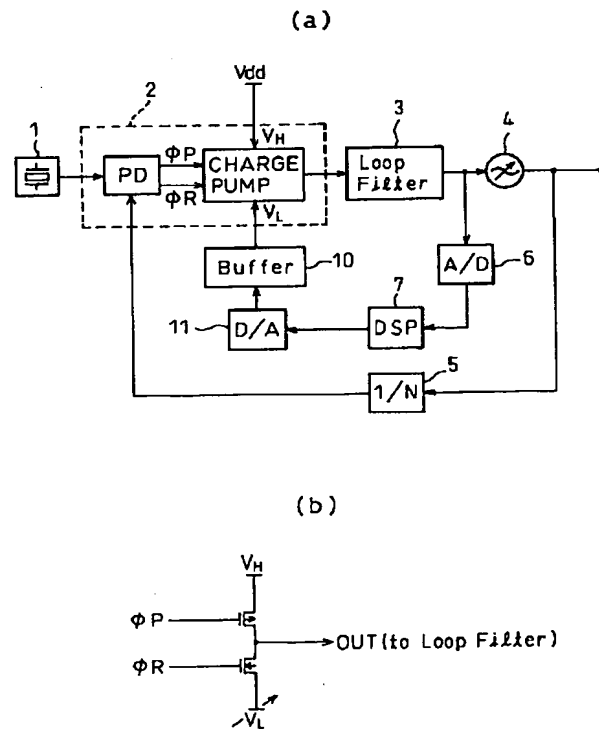
【図9】

位相比較器変換利得 K_D を変化させる例

【図10】

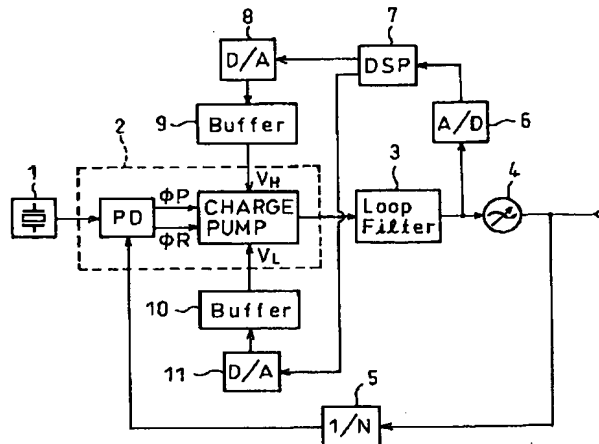
高出力電圧 V_H を変化させる実施例

【図11】

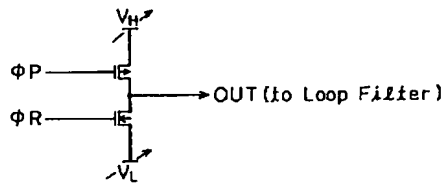
低出力電圧 V_L を変化させる実施例

【図12】

高低出力電圧 V_H 、 V_L の両方を変化させる実施例
(a)

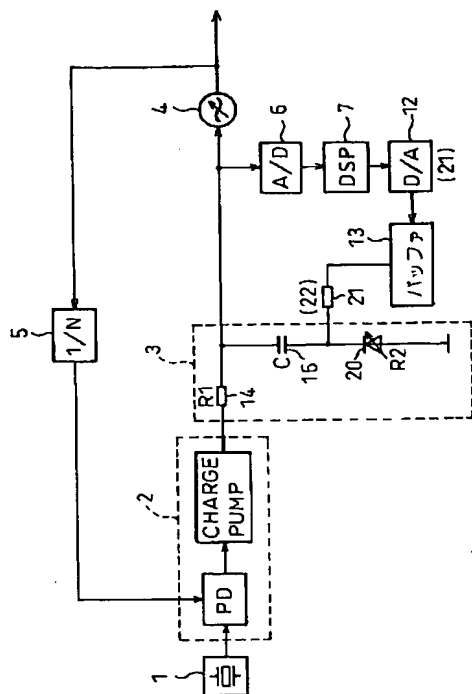


(b)



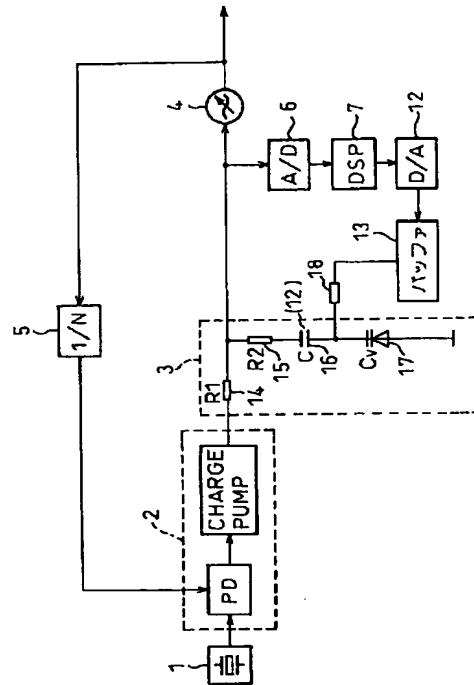
【図17】

ラグリードフィルタに可変抵抗としてピンダイオードを用いた実施例

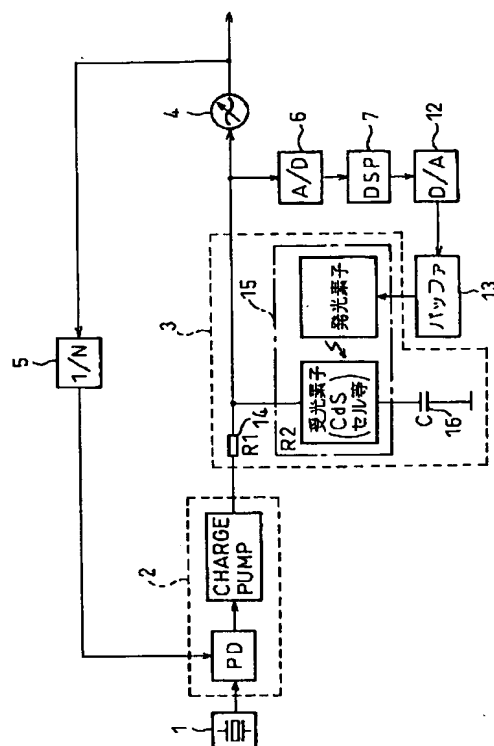


【図13】

ラグリードフィルタの容量に直列にバラクタダイオードを接続した実施例



ラグリッドフィルタに光可変抵抗素子を用いた実施例（２）



北海道札幌市中央区北一条西2丁目1番地
富士通北海道デジタル・テクノロジー株
式会社内

北海道札幌市中央区北一条西2丁目1番地
富士通北海道ディジタル・テクノロジー株
式会社内